

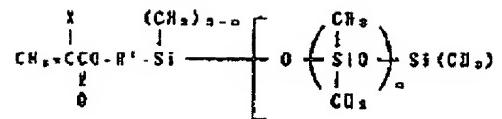
ANTIFOULING PAINT COMPOSITION

Patent number: JP1029475
Publication date: 1989-01-31
Inventor: YOSHIOKA HIROSHI
Applicant: SHIN ETSU CHEM CO LTD
Classification:
- international: C09D5/14; C09D3/82
- european:
Application number: JP19870184975 19870724
Priority number(s):

Abstract of JP1029475

PURPOSE: To obtain the title composition which is nontoxic and gives a coating film with excellent antifouling properties, by mixing fine solid particles of a specified copolymer, a dimethylpolysiloxane, and a curing catalyst.

CONSTITUTION: 50-90wt.% radical-polymerizable monomer comprising a compound having a radical-polymerizable, ethylenically unsaturated bond (e.g., styrene) is copolymerized with 50-10wt.% (meth)acrylate-modified organopolysiloxane of the formula (wherein X is H or methyl; R<1> is a 1-10C divalent organic group; n is 5-100; m is 1-3) to give fine solid particles (A) of a copolymer. 100pts.wt. component A as dispersoid is mixed with 30-200pts. wt. dimethylpolysiloxane (B) having terminal hydroxyl or alkoxy groups attached to an Si atom, and a viscosity (25 deg.C) of 100-100,000cP, as dispersing medium, and a curing catalyst (C) (e.g., dibutyltin laurate). If necessary, a low-energy additive, a crosslinking agent, a filler, etc. are added to this mixture.



⑫ 特許公報 (B2)

平1-29475

⑬ Int. Cl. 4

H 04 N 5/335
5/217

識別記号

府内整理番号

P-8420-5C
8420-5C

⑭ 公告 平成1年(1989)6月12日

発明の数 1 (全4頁)

⑮ 発明の名称 固体撮像素子の欠陥補償回路



⑯ 特願 昭58-181706

⑯ 出願 昭58(1983)9月27日

⑯ 公開 昭60-70879

⑯ 昭60(1985)4月22日

⑰ 発明者 高倉 正樹 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑰ 発明者 山根 康邦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑰ 発明者 賀好 宣捷 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑯ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑯ 代理人 弁理士 杉山 毅至 外1名

審査官 宮島 潤

⑯ 参考文献 特開 昭53-94117 (JP, A) 実開 昭57-4862 (JP, U)

1

2

⑰ 特許請求の範囲

1 複数の撮像画素を配列してなる固体撮像素子と、固体撮像素子の欠陥位置を示す位置情報を記憶するメモリとを備え、上記メモリから読み出された位置情報に基いて上記固体撮像素子の欠陥画素の信号を該欠陥画素と相關の高い他の画素の信号で置き換える欠陥補償回路において、

所定のビット数でメモリに記憶する位置情報は隣接する欠陥の間隔によって与えられ、該間隔が上記所定のビット数以上である欠陥位置は、上記隣接する欠陥間に位置し、且つ画面に表示されない偏線期間内の点を予め設定して該点の位置を仮の欠陥位置として、その位置を示す位置情報をメモリに記憶させてなる。

固体撮像素子の欠陥補償回路。

2 前記固体撮像素子は撮像画素数N($2^m \leq N < 2^{m+1}$)からなり、 $8m \leq i < 8(m+1)$ とすると欠陥を記憶する前記メモリは一つの欠陥位置情報を最大 $8m$ ビットで表現し記憶してなることを特徴とする特許請求の範囲第1項記載の固体撮像素子の欠陥補償回路。

発明の詳細な説明

<技術分野>

本発明は固体撮像素子の欠陥補償回路に関するものである。

<従来技術>

CCD等を用いた固体撮像素子は無欠陥な素子を製造するのが困難であり、製造歩留りが悪いことが問題となっている。そのため電気的な回路を付加して欠陥補償を行ない、数点の欠陥を含む素子を実用レベルにし、実質的な歩留りを向上させる方法が種々考案されている。それらの方法の1つに欠陥位置をあらかじめメモリに記憶させておき、欠陥点のデータを近接する正常点のデータに置換するという補正方法がある。

第1図に従来の欠陥補償装置の1例を示す。1は固体撮像素子、2は遅延回路、3はアナログスイッチ、4は固体撮像素子1の欠陥位置情報を記憶するメモリ、5はメモリ4のアドレスを計数するカウンタ、6は画素の位置を計数するカウンタ、7は各回路の制御信号を与えるパルス発生器である。メモリ4には、基準点から1番目の欠陥点まで何クロツク離れているかの情報I₁と、n番め以降の欠陥点がn-1番めの欠陥点から何クロツク離れているかの情報I_n(n≥2)が記憶されている。固体撮像素子1より1画面出力されるご

とにアドレスカウンタ5が0にリセットされ、メモリ4の先頭に記憶された情報I₁が読み出されてカウンタ6にロードされる。カウンタ6は固体撮像素子1の転送クロツクに同期したパルス発生器7から出力されるクロツク₆により減算される。カウンタ6に転送された情報I₁の値は、固体撮像素子1が1番めの欠陥点のデータを出力する時に丁度カウンタ6が0になり、補正パルスTが outputされる関係に設定される。このようにして欠陥点のデータに同期した補正パルスTが出力される。補正パルスTはアナログスイッチ3に与えられて接点の切換えを制御し、欠陥データが検出された画素は遅延回路2をとおつた近接点の正常なデータに置換される。

第2図にアナログスイッチ3の入力S₀、S₁と出力信号S₂を示す。S₀が固体撮像素子1からの直接の信号、S₁が遅延回路2の出力信号、Tが補償パルス、S₂がアナログスイッチ3の出力信号で、欠陥補償がなされた結果である。画素位置カウンタ8から補正パルスTが出力されるとアドレスカウンタ5は1つ加算され、メモリ4に記憶された情報I₂がカウンタ6にロードされる。続いて上記動作と同様にカウンタ6が₆により減算され、0になつた時補正パルスTが出力される。以上のくりかえしにより、メモリ4に記憶された情報に従い欠陥補償が行なわれる。

ところでこのような欠陥補償方式で欠陥位置を記憶するのに必要な情報量は、固体撮像素子1の分解能を縦500×横400程度とすると、

$500 \times 400 = 200000$ となり、

$2^{17} < 200000 < 2^{18}$ であるので、1画面の位置情報を記憶するためには18ビット必要である。ところが、現在市場にあるメモリは8ビット構成が主体であり、これを使用すれば、18ビットを記憶するために 8×3 の24ビットを使用することになり、メモリの記憶効率が悪くなる。またビット数が24ビットに増えることにより回路が複雑化し、欠陥補償回路を安価に構成する妨げとなつていた。

<発明の目的>

本発明は上記従来の欠陥補償回路の欠点を除去し、所定のビット数（例えば16ビット）のメモリに位置情報を記憶させるようにした回路において、上記の所定のビット数では表現出来ない欠陥（間隔が所定のビット数以上である欠陥位置）を、

仮の欠陥点を設けることにより、所定のビット数で表現できるようになして、メモリの利用効率を高め得る固体撮像素子の欠陥補償回路を提供するものである。

5 <実施例>

まず第3図a、bは奇数フィールド、偶数フィールドを示す固体撮像素子のインターレース方式による走査の様子を示したもので、図中Aが実際の表示期間、Bが水平帰線期間、Cが垂直帰線期間にあたる。

第4図は固体撮像素子の1フレーム中の基本クロツクパルスを示したものである。A期間内のパルスが転送クロツクに相当し、このパルスに同期して画像情報が送出され、水平帰線期間Bと垂直帰線期間C間では画像情報は送出されない。ここでメモリ領域の効率的な利用を図つて欠陥位置情報を記憶させるために、第4図のように基本クロツクパルスに先頭から番号を付け、最初の欠陥位置はそのパルス番号を記憶し、nを2以上の数としてn番目の欠陥位置はそのパルスとn-1番めの欠陥に対応するパルスとの間に存在するパルスの数によって相対距離を記憶させる。この相対距離がとりうる最大の値は1フレームに含まれるパルス数程度であり、その数Nは縦500横400の分解能を持つ固体撮像素子では $2^{17} < N < 2^{18}$ である。このように相対距離は16ビットでは表現できない場合がありうる。この場合に対処するため実際の欠陥と欠陥の間に予め仮の欠陥を数点設定し、欠陥点と欠陥点との相対距離をすべて 2^{16} 未満とする。即ち8ビットの整数倍で且つより少ない容量内で記憶させる。

また、補償回路を簡略化するためには、上記設定された仮の欠陥は実際の欠陥と区別せず同等に扱う方が都合がよい。ところが仮の欠陥点にも補償を行なえば画像によってその点に補償誤差が生ずるという問題がある。

そのため本実施例では、上記仮の欠陥点を表示に関係ない水平帰線期間B内の点に設定する。即ち欠陥点の位置情報をパルスの相対位置を使用して記憶させ、もしその情報量が16ビットを越える場合は欠陥点の間の適当な水平帰線期間内の数点を仮の欠陥点として記憶せることにより、各欠陥点間の相対距離を、 2^{16} 未満にする。仮の欠陥点をどの水平帰線期間のどのパルスに設定するか

は何通りにも設定できるが、どのように選ぶかは本質的な問題ではない。また必要な仮の欠陥数は $2^{16} \div 2^{16} = 4$ であるから、最大4～5点設定すればよくメモリの容量に影響を与えるものではない。

以上の説明は2番目以降の欠陥位置とその1つ前の欠陥位置との相対距離に関して述べたが、1番目の欠陥位置が 2^{16} 個以上のパルスを計数した位置に存在する場合でも、同様の考え方で1番めの欠陥より前に仮の欠陥点を数点設定することにより、欠陥位置を16ビットで表現することができる。第5図は実際の欠陥点がA₁とA₂である撮像素子について水平帰線期間B内にB₁, B₂, B₃の仮の欠陥点を設定することにより各欠陥点の相対距離を 2^{16} 未満にできることを示す。

第6図に本発明の一実施例の回路ブロック図を示す。図中メモリを除く他の構成は第1図と同じで説明を略する。メモリ8には実際の欠陥点と上述のように表示に関係のない期間を選んで与えた仮の欠陥点の位置を与える16ビットの情報が記憶されている。

まず固体撮像素子1より1画面が出力されるごとにアドレスカウンタ5は0にリセットされ、メモリ8の先頭に記憶された16ビットの情報I₁'がカウンタ6にロードされる。次に固体撮像素子1の基本クロツク₆によりカウンタ6は減算される。I₁'の値は最初の欠陥点もしくは、仮の欠陥点のパルス位置で、カウンタ6が0になり補正パルスTが出力される値にあらかじめ設定される。補正パルスTの制御によりアナログスイッチ3が切換えられ、固体撮像素子1の出力は遅延回路2をとおつた近接点のデータに置換される。ここで実際の欠陥点であれば第2図のように欠陥の補償が行なわれる。また仮の欠陥点であれば同じくデータの置換が行なわれるが、仮の欠陥点は水平帰線期間B内の点に選んでいるため表示にはなんら影響を与えない。補正パルスTが出力されるとア

ドレスカウンタ5は1つ加算され、メモリ8に記憶された16ビットの情報I₂'がカウンタ6にロードされる。以上の動作をくりかえしてカウンタ6が₆により減算され、内容が0になつた時次の補

5 正パルスTが出力される。

以上の説明から明らかなように本発明では固体撮像素子の基本クロツクパルスのうち、表示が行なわれない期間の適当な点を仮の欠陥点としてメモリに記憶させることにより欠陥点と欠陥点との間に間隔を 2^{16} 未満等の所定の値未満にし、またその間隔の値をメモリに記憶させて、その情報に従つて欠陥補償を行なうことにより仮の欠陥点をもうけない従来の方式と同等の補償効果を得ることができる。本発明の方式を用いれば欠陥点の位置情報が16ビットで与えられるので、現在主流の8ビット構成のメモリを有効に利用することができる。

＜効 果＞

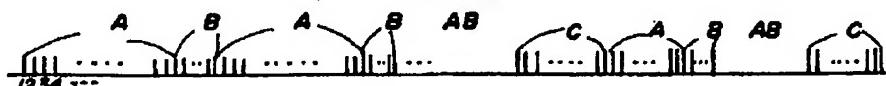
以上本発明によれば、欠陥点の位置をメモリに効率よく記憶させることができ、所定のビット数のメモリに位置情報を記憶させるに際し、所定のビット数では表現出来ない欠陥を、仮の欠陥点を設けることによって所定のビット数のメモリで記憶させるようになしているため、結果として比較的大画素数の固体撮像素子についても、欠陥の補償回路を従来の方法に比して安価に構成でき、実用価値の高い補償回路を得ることができる。

図面の簡単な説明

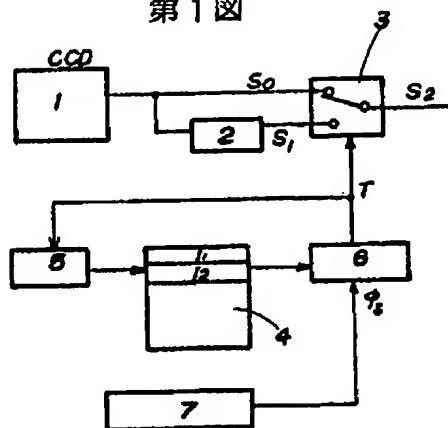
第1図は従来装置のプロック図、第2図は欠陥補償動作を説明するための波形図、第3図はインターレース方式の走査を示す図、第4図及び第5図は本発明の一実施例を説明するための画素走査と欠陥画素との関係図、第6図は本発明による一実施例のプロック図である。

35 1：固定撮像素子、3：アナログスイッチ、5：アドレスカウンタ、6：カウンタ、7：パルス発生器、8：メモリ。

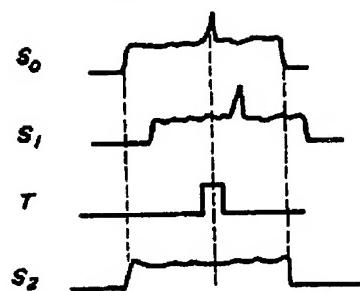
第4図



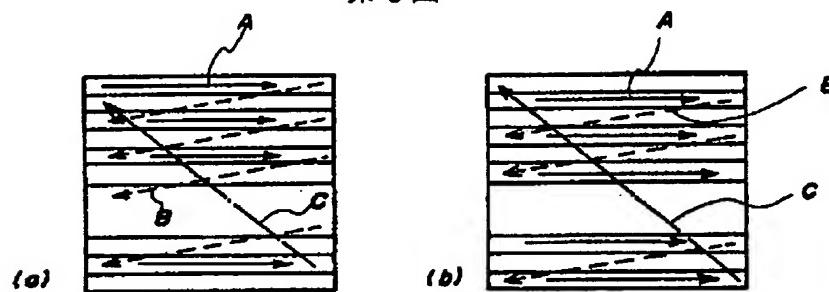
第1図



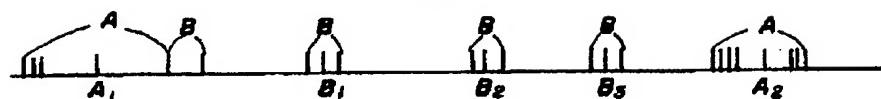
第2図



第3図



第5図



第6図

